

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
11. März 2004 (11.03.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/021448 A1

(51) Internationale Patentklassifikation⁷: **H01L 29/792**,
21/336, G11C 11/56

[DE/DE]; Ludwig-Jahn-Str. 4, 01109 Dresden (DE).
TEMPEL, Georg [DE/DE]; Königsbrücker Str. 180,
01099 Dresden (DE).

(21) Internationales Aktenzeichen: PCT/DE2003/002678

(74) Anwalt: KINDERMANN, Peter; Patentanwälte Kinder-
mann, Postfach 1330, 85627 Grasbrunn (DE).

(22) Internationales Anmeldedatum:
8. August 2003 (08.08.2003)

(81) Bestimmungsstaaten (national): JP, KR, SG, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 38 784.2 23. August 2002 (23.08.2002) DE

Veröffentlicht:

— mit internationalem Recherchenbericht

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.
Martin-Strasse 53, 81669 München (DE).

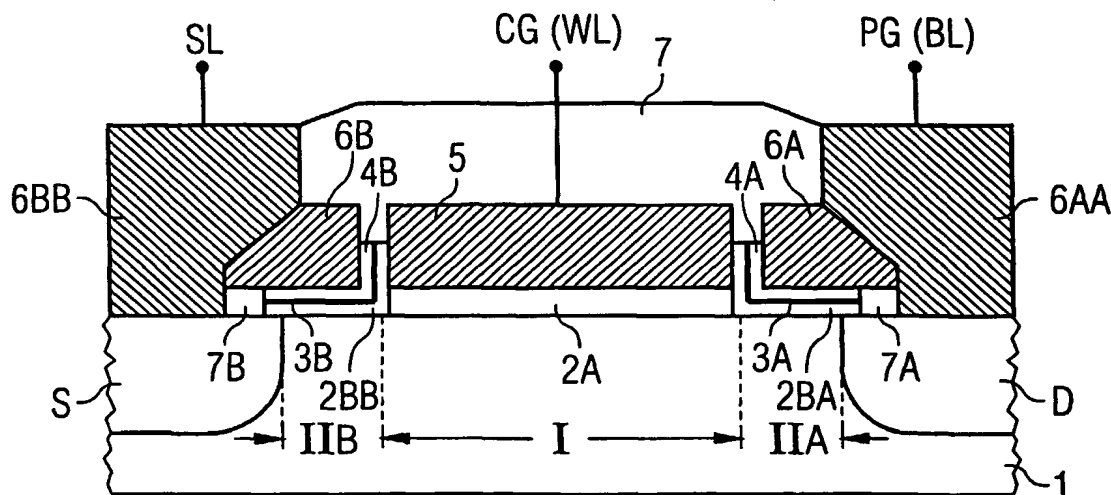
Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): SCHULER, Franz

(54) Title: NON-VOLATILE SEMICONDUCTOR MEMORY ELEMENT AND CORRESPONDING PRODUCTION AND OP-
ERATION METHOD

(54) Bezeichnung: NICHTFLÜCHTIGES HALBLEITERSPEICHERELEMENT SOWIE ZUGEHÖRIGES HERSTELLUNGS-
UND ANSTEUERVERFAHREN



(57) Abstract: The invention relates to a non-volatile semiconductor memory element and corresponding production and operation method, comprising a semiconductor substrate (1), in which a source region (S), a drain region (D) and a channel region lying between the above are embodied. A control layer (5) is embodied on a first part section (I) of the channel region and insulated from the channel region by means of a first insulation layer (2A), whilst in a second part section (IIA, IIB) of the channel region, individual charge storage layers (3A and 3B) are embodied and insulated from the channel region by means of a second insulation layer (2BA and 2BB). A programming layer (6A, 6B) is embodied on the charge storage layer (3A, 3B), insulated therefrom by means of a third insulation layer (4A, 4B), and electrically connected by means of a connection layer (6AA, 6BB) to a source region (S) and drain region (D).

[Fortsetzung auf der nächsten Seite]



(57) Zusammenfassung: Die Erfindung betrifft ein nichtflüchtiges Halbleiterspeicherelement sowie ein zugehöriges Herstellungs- und Ansteuerverfahren mit einem Halbleitersubstrat (1), in dem ein Sourcegebiet (S), ein Draingebiet (D) und ein dazwischen liegendes Kanalgebiet ausgebildet sind. Auf einem ersten Teilabschnitt (I) des Kanalgebiets ist eine Steuerschicht (5) ausgebildet und vom Kanalgebiet durch eine erste Isolierschicht (2A) isoliert, während in einem zweiten Teilabschnitt (IIA, IIB) des Kanalgebiets jeweilige Ladungsspeicherschichten (3A und 3B) ausgebildet und vom Kanalgebiet durch eine zweite Isolierschicht (2BA und 2BB) isoliert sind. An der Ladungsspeicherschicht (3A, 3B) ist eine Programmierschicht (6A, 6B) ausgebildet und von dieser durch eine dritte Isolierschicht (4A, 4B) isoliert, wobei sie über eine jeweilige Verbindungsschicht (6AA, 6BB) mit einem jeweiligen Sourcegebiet (S) und Draingebiet (D) elektrisch verbunden ist.

Beschreibung

Nichtflüchtiges Halbleiterspeicherelement sowie zugehöriges
Herstellungs- und Ansteuerverfahren

5

Die vorliegende Erfindung bezieht sich auf ein nichtflüchtiges Halbleiterspeicherelement sowie ein zugehöriges Herstellungs- und Ansteuerverfahren und insbesondere auf eine nichtflüchtige Dual-Bit Split-Gate-Speicherzelle, bei der ein Einschreiben von Informationen mittels sourceseitiger Ladungsträgerinjektion erfolgt.

10

Nichtflüchtige Halbleiterspeicher, wie sie beispielsweise als FLASH-Speicher, EPROM, EEPROM, FPGAs und dergleichen bekannt sind, setzen sich in vielen Bereichen wie z.B. der Datenverarbeitungstechnik, der Telekommunikationstechnik, der Unterhaltungselektronik und der Sicherheitstechnik immer mehr durch, da sie auf kleinstem Raum über eine lange Zeit und ohne Verwendung einer Spannungsversorgung Daten abspeichern können.

20

Hierbei gibt es eine Vielzahl von unterschiedlichen Speicherelement-Typen, wobei sich die vorliegende Erfindung insbesondere auf eine sogenannte Split-Gate-Speicherzelle bezieht.

25

Figur 1 zeigt eine vereinfachte Schnittansicht eines derartigen herkömmlichen Split-Gate-Speicherelements.

Gemäß Figur 1 ist ein in einem Halbleitersubstrat 1 zwischen einem Sourcegebiet S und einem Draingebiet D liegendes Kanalgebiet in einen ersten Teilabschnitt I und einen zweiten Teilabschnitt II aufgeteilt, wobei im ersten Teilabschnitt eine Steuerschicht 5 unmittelbar über dem Kanalgebiet ausgebildet und von diesem durch eine erste Isolierschicht 2A getrennt ist, während es in einem zweiten Teilabschnitt II nur mittelbar über dem Kanalgebiet bzw. Halbleitersubstrat 1 liegt. Zur Realisierung der erwünschten ladungsspeichernden

30

35

2

Eigenschaften ist im zweiten Teilabschnitt II vielmehr eine Ladungsspeicherschicht 3 über dem Kanalgebiet bzw. Halbleitersubstrat 1 ausgebildet und von diesem durch eine zweite Isolierschicht bzw. Tunnelschicht 2B isoliert.

5

Zur Realisierung einer sogenannten sourceseitigen Ladungsträgerinjektion (SSI, Source Side Injection) besitzt das Split-Gate-Speicherelement gemäß Figur 1 ferner eine Programmierschicht 6, die im Wesentlichen an der Oberfläche der Ladungsspeicherschicht 3 ausgebildet und von dieser durch eine dritte Isolierschicht 4 getrennt bzw. isoliert ist.

Zur Programmierung bzw. zum Einbringen von Ladungsträgern in die Ladungsspeicherschicht 3 wird eine an der Programmierschicht 6 angeschlossene Programmier Elektrode PG, eine an der Steuerschicht 5 angeschlossene Steuerelektrode CG, eine an dem Sourcegebiet S angeschlossene Sourceleitung SL und eine an dem Draingebiet D angeschlossene Bitleitung BL derart beschaltet, dass sich am Übergang zwischen dem ersten und zweiten Teilabschnitt I und II ein derart hohes elektrisches Feld im Kanalbereich einstellt, dass vom Sourcegebiet S kommende Elektronen auf Grund des vorliegenden hohen Potentialgefälles derart beschleunigt werden, dass sie in die Ladungsspeicherschicht injiziert werden. Eine derartige Programmierung unter SSI-Bedingungen (Source Side Injection) verlängert eine Lebensdauer von Speicherelementen auf Grund der verringerten Beanspruchung der Isolierschichten im Vergleich zu den exzessiven elektrischen Feldern, die für eine drainseitige Ladungsträgerinjektion erforderlich sind. Darüber hinaus ist eine Programmierung unter SSI-Bedingung wesentlich effizienter als eine drainseitige Ladungsträgerinjektion, wodurch insbesondere die Zeitdauer für eine jeweilige Programmierung verringert werden oder bei gleicher Programmierzeit der Kanalstrom und damit der Leistungsverbrauch reduziert werden kann. Insbesondere können jedoch bei Speicherelementen mit sourceseitiger Ladungsträgerinjektion die Betriebsspannungen wesentlich verringert werden.

Nachteilig bei derartigen Speicherelementen mit sourceseitiger Ladungsträgerinjektion ist jedoch der erheblich höhere Konstruktionsaufwand, der sich insbesondere aus den drei getrennten Steuerschichten - Ladungsspeicherschicht 3, Programmierschicht 6 und Steuerschicht 5 - ergibt. Insbesondere auf Grund der zusätzlichen Programmierschicht 6 und einer fehlenden Selbstjustierung sind hohe Integrationsdichten für derartige Split-Gate-Speicherelemente nur bedingt zu realisieren.

Figur 2 zeigt eine vereinfachte Schnittansicht eines weiteren nichtflüchtigen Speicherelements, wobei im Wesentlichen eine sogenannte CHE-Ladungsträgerinjektion drainseitig mittels heißer Ladungsträger aus dem Kanal (CHE, Channel Hot Electron) erfolgt.

Gemäß Figur 2 besteht ein derartiges nichtflüchtiges Speicherelement aus einem Halbleitersubstrat 1, in dem ein Sourcegebiet S, ein Draingebiet D und ein dazwischen liegendes Kanalgebiet ausgebildet sind, wobei eine Ladungsspeicherschicht 3 durch eine erste Isolierschicht 2 vom Kanalgebiet getrennt auf diesem ausgebildet ist und wiederum zum Speichern von Ladungsträgern geeignet ist. An der Oberfläche der Ladungsspeicherschicht 3 befindet sich wiederum eine Steuerschicht 5, die durch eine weitere Isolierschicht 4 von der Ladungsspeicherschicht 3 getrennt ist.

Im Gegensatz zur vorstehend beschriebenen Split-Gate-Speicherzelle mit sourceseitiger Ladungsträgerinjektion benötigt diese nichtflüchtige Speicherzelle lediglich drei Kontaktanschlüsse nämlich eine Steuerelektrode CG bzw. Wortleitung WL zum Anschließen der Steuerschicht 5 sowie eine Sourceleitung SL zum Anschließen des Sourcegebiets S und eine Bitleitung BL zum Anschließen des Draingebiets. Der Aufbau und somit auch die Herstellung einer derartigen herkömmlichen Speicherzelle ist demzufolge wesentlich vereinfacht, wobei insbesondere auf Grund eines fehlenden Kontaktanschlusses für

eine Programmierschicht eine erhöhte Integrationsdichte realisiert werden kann.

Nachteilig bei einer derartigen nichtflüchtigen Speicherzelle ist jedoch der Einsatz von notwendigen und hohen Betriebsspannungen um eine Kanalinjektion mittels heißer Ladungsträger CHE (Channel Hot Electron) zu realisieren. Diese hohen Drain- und Gate-Spannungen resultieren insbesondere aus dem Bestreben die Programmierzeit zu verkürzen, weshalb im Wesentlichen in der Nähe der Durchbruchsspannungen programmiert wird. Derartige Hochspannungen zur Realisierung einer Ladungsträgerinjektion unter CHE-Bedingungen benötigen folglich zusätzliche Spannungsversorgungsschaltungen und eine außerordentlich hohe Beanspruchung der vorliegenden Isolierschichten.

Figur 3 zeigt eine vereinfachte Schnittansicht eines weiteren herkömmlichen nichtflüchtigen Halbleiterspeicherelements zum Abspeichern von zwei Bits, wie sie beispielsweise aus der Druckschrift US 6,366,500 bekannt ist.

Gemäß Figur 3 ist wiederum in einem Halbleitersubstrat 1 ein Sourcegebiet S und ein Draingebiet D mit einem dazwischen liegenden Kanalgebiet ausgebildet, welches einen ersten Teilabschnitt I und zwei zweite Teilabschnitte IIA und IIB sourceseitig und drainseitig aufweist. An der Oberfläche des Halbleitersubstrats 1 bzw. des Kanalgebiets befindet sich wiederum eine erste Isolierschicht als Gatedielektrikum bzw. als Tunnelndielektrikum, wobei im ersten Teilabschnitt I an der Oberfläche der ersten Isolierschicht 2 eine Steuerschicht 5 ausgebildet und in den beiden zweiten Teilabschnitten IIA und IIB des Kanalgebiets jeweils eine drainseitige Ladungsspeicherschicht 3A und eine sourceseitige Ladungsspeicherschicht 3B ausgebildet ist, welche als elektrisch leitende Floating Gates dotiertes Polysilizium aufweisen.

Zur Realisierung der vorstehend genannten sourceseitigen Ladungsträgerinjektion bzw. der SSI-Bedingung (Source Side Injection) befinden sich an den Ladungsspeicherschichten 3A und 3B jeweiligen drainseitige und sourceseitige Programmierschichten 6A und 6B, die durch eine weitere Isolierschicht 4A und 4B von der jeweiligen Ladungsspeicherschicht 3A und 3B getrennt bzw. isoliert sind.

Auf diese Weise erhält man zwar eine sogenannte Dual-Bit-Split-Gate-Speicherzelle mit sourceseitiger Ladungsinjektion, wobei jedoch wiederum auf Grund der verwendeten Programmierschichten 6A und 6B eine erhöhte Komplexität und ein erhöhter Platzbedarf vorliegt.

Figur 4 zeigt eine vereinfachte Schnittansicht einer weiteren herkömmlichen Dual-Bit Split-Gate-Speicherzelle wobei gleiche Bezugszeichen wiederum gleiche oder entsprechende Elemente wie in den Figuren 1 bis 3 beschreiben und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 4 können wiederum zwei Speicherzustände, d.h. zwei Bits, sourceseitig und drainseitig in einer Ladungsspeicherschicht 3A und 3B abgelegt werden, wobei jedoch ein derartiges Speicherelement als Ladungsspeicherschicht eine elektrisch nicht leitende Siliziumnitrid-Schicht verwendet. Wiederum ergeben sich bei einem derartigen Split-Gate-Speicherelement, wie es beispielsweise aus der Druckschrift US 5,408,115 bekannt ist, auf Grund der einstellbaren SSI-Bedingung günstige bzw. niedrige Programmierspannungen, wobei jedoch wiederum eine Komplexität und ein Platzbedarf zur Realisierung eines derartigen Speicherelements sehr hoch sind.

Der Erfindung liegt daher die Aufgabe zu Grunde ein nicht-flüchtiges Halbleiterspeicherelement sowie ein zugehöriges Herstellungs- und Ansteuerverfahren zu schaffen, mit dem bei günstigen Programmierbedingungen ein vereinfachter Aufbau zu realisieren ist.

Erfindungsgemäß wird diese Aufgabe hinsichtlich des Split-Gate-Speicherelements durch die Merkmale des Patentanspruchs 1, hinsichtlich des Herstellungsverfahrens durch die Maßnahmen des Patentanspruchs 7 und hinsichtlich des Ansteuerungsverfahrens durch die Maßnahmen der Patentansprüche 16 bis 18 gelöst.

Insbesondere durch die Verwendung einer Verbindungsschicht zum elektrischen Verbinden der Programmierschicht mit dem Sourcegebiet oder Draingebiet erhält man einen wesentlich vereinfachten Aufbau bei wesentlich verringertem Platzbedarf, wobei auf Grund von sourceseitiger Ladungsträgerinjektion weiterhin geringe Betriebsspannungen vorliegen.

Vorzugsweise besteht eine Ladungsspeicherschicht aus einer elektrisch nicht leitenden Isolierschicht wie z.B. einer Si_3N_4 - oder ZrO_2 -Schicht, wodurch man eine weitergehende Erhöhung der Integrationsdichte erhält.

Vorzugsweise ist ein zweiter Teilabschnitt des Kanalgebiets in einen sourceseitigen und drainseitigen Teilabschnitt aufgeteilt, wobei in gleicher Weise auch eine Ladungsspeicherschicht, eine Programmierschicht und eine Verbindungsschicht in eine sourceseitige und drainseitige Ladungsspeicherschicht, Programmierschicht und Verbindungsschicht aufgeteilt ist, wodurch auf einfache Weise eine sogenannte Dual-Bit Split-Gate-Speicherzelle realisiert werden kann.

Hinsichtlich des Verfahrens kann insbesondere durch das Ausbilden einer Schichtenfolge bestehend aus einer zweiten Isolierschicht, einer Ladungsspeicherschicht und einer dritten Isolierschicht an der Oberfläche eines Halbleitersubstrats und einer strukturierten Steuerschicht und einem nachfolgenden Spacer-Verfahren zum Ausbilden und Strukturieren jeweiliger Programmierschichten ein Dual-Bit Split-Gate-Speicher-

element auf besonders einfache und kostengünstige Art und Weise hergestellt werden.

Hinsichtlich des Ansteuerverfahrens werden zur Realisierung
5 eines Einschreibens von Informationen in die Speicherzelle
zum Erzeugen einer SSI-Bedingung (Source Side Injection) ent-
sprechende Schreibspannungen an die sourceseitigen und drain-
seitigen Verbindungsschichten sowie die Steuerschicht ange-
legt, weshalb geringe Schreib-Betriebsspannungen realisiert
10 werden können.

Andererseits können zum Löschen von Informationen derartige
Löschspannungen an die drainseitige Verbindungsschicht sowie
an die Steuerschicht angelegt werden, dass sich eine Lawinen-
15 effekt-Bedingung im Kanal ergibt und wiederum relativ geringe
Betriebsspannungen notwendig sind.

Zum Auslesen einer Information werden entsprechende Lesespan-
nungen an die sourceseitigen und drainseitigen Verbindungs-
20 schichten sowie die Steuerschicht derart angelegt, dass sich
vorzugsweise eine sogenannte rückwärts gerichtete Auslesebe-
dingung (reverse read-out) im Speicherelement ergibt.

Auf diese Weise können trotz des Fehlens von separaten An-
25 schlüssen für die jeweiligen Programmierschichten alle not-
wendigen Ansteuerbedingungen für die erfindungsgemäße Split-
Gate-Speicherzelle geschaffen werden.

In den Unteransprüchen sind weitere vorteilhafte Ausgestal-
30 tungen der Erfindung gekennzeichnet.

Die Erfindung wird nachfolgend anhand eines Ausführungsbei-
spiels unter Bezugnahme auf die Zeichnung näher beschrieben.

35 Es zeigen:

Figur 1 eine vereinfachte Schnittansicht eines Split-Gate-Speicherelements gemäß dem Stand der Technik;

Figur 2 eine vereinfachte Schnittansicht eines nichtflüchtigen Speicherelements gemäß dem Stand der Technik;

Figur 3 eine vereinfachte Schnittansicht eines Dual-Bit Split-Gate-Speicherelements gemäß dem Stand der Technik;

Figur 4 eine vereinfachte Schnittansicht eines weiteren Dual-Bit Split-Gate-Speicherelements gemäß dem Stand der Technik;

Figur 5 eine vereinfachte Schnittansicht eines erfindungsgemäßen Dual-Bit Split-Gate-Speicherelements; und

Figuren 6A bis 6G vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung des erfindungsgemäßen Dual-Bit Split-Gate-Speicherelements gemäß Figur 5.

Die Erfindung wird nachstehend anhand eines Dual-Bit Split-Gate-Speicherelements zum Ablegen von zwei Speicherzuständen in einem sourceseitigen und drainseitigen Bereich beschrieben, wobei jedoch grundsätzlich auch entsprechende nichtflüchtige Halbleiterspeicherelemente zum Abspeichern von lediglich einem einzelnen Zustand denkbar sind. Insbesondere sei darauf hingewiesen, dass auf Grund der in den Figuren dargestellten Symmetrie des Speicherelements das Sourcegebiet und das Draingebiet äquivalent zu betrachten sind und folglich auch entsprechend vertauscht werden können. Dies gilt in gleicher Weise insbesondere für die sourceseitigen sowie drainseitigen Schichten, wobei lediglich ein Vertauschen von jeweiligen Anschlusspotentialen notwendig ist.

Figur 5 zeigt eine vereinfachte Schnittansicht eines erfindungsgemäßen Dual-Bit Split-Gate-Speicherelements, wobei

gleiche Bezugszeichen gleiche oder entsprechende Schichten und Elemente wie in den Figuren 1 bis 4 darstellen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

5 Gemäß Figur 5 ist in einem Halbleitersubstrat 1, welches vorzugsweise ein Silizium-Halbleitersubstrat aufweist, ein Sourcegebiet S, ein Draingebiet D und ein dazwischen liegendes Kanalgebiet ausgebildet, wobei diese Struktur beispielsweise einer PMOS- oder NMOS-Transistorstruktur entspricht und ent-
10 sprechende p- und n-Dotierungen aufweist. Zur Realisierung eines sogenannten geteilten Gate-Bereichs bzw. Split-Gates besitzt das Kanalgebiet einen ersten Teilabschnitt I, der im Wesentlichen in einem mittleren Bereich des Kanalgebiets liegt und zwei zweite Teilabschnitte IIA und IIB, die in
15 drainseitigen und sourceseitigen Bereichen des Kanalgebiets an den ersten Teilabschnitt I angrenzen und sich bis zum Sourcegebiet S und Draingebiet D erstrecken.

Gemäß Figur 5 ist auf dem ersten Teilabschnitt I des Kanalge-
20 biets eine elektrisch leitende Steuerschicht 5 ausgebildet, die vom Kanalgebiet durch eine erste Isolierschicht 2A isoliert ist. Die Steuerschicht 5 besteht beispielsweise aus einer hochdotierten Polysiliziumschicht, wobei die erste Isolierschicht 2A ein Gatedielektrikum darstellt und vorzugswei-
25 se SiO_2 aufweist. Andererseits befindet sich auf den beiden zweiten Teilabschnitten IIA und IIB des Kanalgebiets jeweils eine drainseitige und sourceseitige Ladungsspeicherschicht 3A und 3B, die vom Kanalgebiet durch eine zweite Isolierschicht 2BA und 2BB getrennt bzw. isoliert ist, wobei die zweite Iso-
30 lierschicht 2BA und 2BB auch identisch mit der ersten Isolierschicht 2 sein kann.

Die Ladungsspeicherschichten bestehen vorzugsweise aus einer elektrisch nicht leitenden Isolierschicht wie z.B. einer Siliziumnitridschicht, wodurch sich geringe Schichtdicken bei
35 günstigen Ladungshalteeigenschaften bzw. Isolationseigenschaften ergeben. Grundsätzlich können jedoch auch andere

Isolierschichten wie beispielsweise ZrO_2 , HfO_2 oder auch herkömmliche elektrisch leitende Floatinggate-Schichten als Ladungsspeicherschichten 3A und 3B verwendet werden. Im Bereich der drainseitigen und sourceseitigen Ladungsspeicherschichten 3A und 3B sind ferner elektrisch leitende Programmierschichten 6A und 6B drainseitig und sourceseitig ausgebildet, die durch eine dritte Isolierschicht 4A und 4B (z.B. SiO_2) jeweils von der Ladungsspeicherschicht 3A und 3B getrennt bzw. isoliert sind.

10

Im Unterschied zum Stand der Technik sind diese drainseitigen und sourceseitigen Programmierschichten 6A und 6B nunmehr jedoch nicht getrennt von dem Sourcegebiet S und dem Draingebiet D ansteuerbar, sondern drainseitig und sourceseitig über eine jeweilige Verbindungsschicht 6AA und 6BB elektrisch direkt miteinander verbunden. Auf diese Weise erhält man ein Split-Gate-Speicherelement mit verringerter Anzahl von Anschlusskontakten insbesondere für die herkömmlicherweise verwendeten Programmierelektroden PG, wobei nunmehr lediglich eine Sourceleitung SL zum Anschließen des Sourcegebiets S und der sourceseitigen Programmierschicht 6B an eine Programmier-
elektrode PG und eine Bitleitung BL zum gleichzeitigen Anschließen des Draingebiets D und der drainseitigen Programmierschicht 6A über die drainseitige Verbindungsschicht 6AA ausgebildet ist. Eine Steuerelektrode CG bzw. Wortleitung WL dient wiederum zum Anschließen der Steuerschicht 5.

Demzufolge kann bei wesentlich verringertem Platzbedarf für das integrierte Speicherelement weiterhin eine sourceseitige Ladungsträgerinjektion realisiert werden, weshalb sich günstige bzw. geringe Betriebsspannungen ergeben.

Als Materialien für die dritte Isolierschichten 4A und 4B werden vorzugsweise Oxidschichten wie z.B. SiO_2 verwendet, wodurch sich für die Schichtenfolge in den beiden zweiten Teilabschnitten IIA und IIB eine sogenannte ONO-Schichten-

35

folge (Oxid/Nitrid/Oxid) ergibt, die auf Grund ihrer Bandstruktur hervorragende Isoliereigenschaften aufweist.

In gleicher Weise wie die Steuerschicht 5 kann auch die Programmierschicht 6A und 6B sowie die zugehörige Verbindungsschicht 6AA und 6BB hochdotiertes Polysilizium aufweisen, wodurch man unter Verwendung von Standardmaterialien eine besonders einfache Prozessierung und damit ein kostengünstiges Speicherelement erhält.

Zur Isolierung der Steuerschicht 5 sowie der Programmierschichten und Verbindungsschichten wird vorzugsweise eine vierte Isolierschicht 7, die wiederum aus Siliziumdioxid besteht, verwendet, wobei sich diese vierte Isolierschicht als drainseitige und sourceseitige vierte Teil-Isolierschicht 7A und 7B auch in einer oberflächennahen Aussparung von zumindest der Ladungsspeicherschichten 3A und 3B befinden kann, wodurch man eine verbesserte Isolierung dieser Ladungsspeicherschicht insbesondere zu den Verbindungsschichten 6AA und 6BB erhält. Diese oberflächennahe Aussparung wurde vor der Abscheidung der Isolierschicht 7 mittels einer isotropen Ätzung erreicht.

Insbesondere bei Verwendung von elektrisch isolierenden Ladungsspeicherschichten 3A und 3B können diese Teil-Isolierschichten 7A und 7B jedoch auch entfallen, da die eingebrachten Ladungsträger im Wesentlichen am Übergang der Teilabschnitte I zu IIA oder IIB in der Ladungsspeicherschicht 3A und 3B eingelagert werden und ein Wandern dieser Ladungsträger innerhalb der Ladungsspeicherschicht im Wesentlichen nicht stattfindet.

Demzufolge erhält man SSI-Split-Gate-Speicherelemente die bei vereinfachtem Aufbau und verringertem Platzbedarf günstige Betriebsspannungen aufweisen.

Figuren 6A bis 6G zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung des erfindungsgemäßen SSI-Split-Gate-Speicherelements, wobei gleiche Bezugszeichen wiederum gleiche oder entsprechende Schichten bzw. Elemente wie in Figur 5 bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 6A wird zunächst ein Halbleitersubstrat 1 vorbereitet, wobei beispielsweise aktive Gebiete mittels Grabenisolierungen definiert werden oder entsprechende Wannendotierungen vorgenommen werden. An der Oberfläche des Halbleitersubstrats 1 wird anschließend eine erste Isolierschicht 2A als Gatedielektrikum für das Speicherelement ausgebildet, wobei im Falle eines Silizium-Halbleitersubstrats vorzugsweise eine Siliziumdioxidschicht als Gateoxidschicht verwendet wird. Selbstverständlich können auch andere Halbleitermaterialien und andere Gatedielektrika für das Halbleitersubstrat 1 und die erste Isolierschicht 2A verwendet werden.

Anschließend wird beispielsweise mittels eines Abscheideverfahrens eine elektrisch leitende Steuerschicht 5 an der Oberfläche der ersten Isolierschicht 2A ausgebildet und derart strukturiert, dass sich die in Figur 6A dargestellte Schnittansicht ergibt. Vorzugsweise wird als Steuerschicht 5 eine hochdotierte Polysiliziumschicht abgeschieden und mittels eines fotolithographischen Verfahrens zum Ausbilden eines sogenannten Gates strukturiert.

Gemäß Figur 6B kann in einem nachfolgenden Schritt oder gleichzeitig mit der Strukturierung der Steuerschicht 5 auch die erste Isolierschicht 2A strukturiert werden, wodurch lediglich unterhalb der Steuerschicht 5 die erste Isolierschicht 2A als Gatedielektrikum verbleibt. Diese Strukturierung kann jedoch auch entfallen.

Anschließend wird eine Schichtenfolge bestehend aus einer zweiten Isolierschicht 2B, einer Ladungsspeicherschicht 3 und einer dritten Isolierschicht 4 an der Oberfläche des Halbleitersubstrats 1 bzw. an der Oberfläche der ersten Isolierschicht 2A und der strukturierten Steuerschicht 5 ausgebildet, wobei vorzugsweise eine ONO-Schichtenfolgen (Oxid/Nitrid/Oxid) ganzflächig abgeschieden wird und die Siliziumnitridschicht als Ladungsspeicherschicht 3 verwendet wird. Alternativ kann als Ladungsspeicherschicht 3 auch eine andere elektrisch isolierende Ladungsspeicherschicht wie z.B. ZrO_2 oder auch eine elektrisch leitende Ladungsspeicherschicht abgeschieden werden. Insbesondere bei Rückätzung der ersten Isolierschicht 2A und Ausbilden der dargestellten ONO-Schichtenfolge erhält man jedoch eine besonders günstige Schichtenfolge, die eine hohe Integrationsdichte bei einfachem Verfahrensablauf ermöglicht.

Gemäß Figur 6C wird in einem nachfolgenden Verfahrensschritt eine Programmierschicht zunächst ganzflächig abgeschieden und derart strukturiert, dass sich an den Seitenwänden der strukturierten Steuerschicht 5 bzw. der entsprechenden ONO-Schichtenfolge drainseitig und sourceseitig Programmierschichten 6A und 6B ergeben. Vorzugsweise wird hierbei ein sogenanntes Spacer-Verfahren zum Ausbilden der Programmierschichten 6A und 6B verwendet, wobei zunächst beispielsweise eine zweite Polysiliziumschicht als Programmierschicht konformal, d.h. gleich dick, abgeschieden wird und anschließend ein anisotropes Rückätzen erfolgt, wodurch die Programmierschichten 6A und 6B in Form von Spacern an den Seitenwänden der Steuerschicht 5 ausgebildet werden.

Unter Verwendung dieser strukturierten Programmierschichten bzw. Spacer 6A und 6B sowie der strukturierten Steuerschicht 5 mit darüber liegender Schichtenfolge aus zweiter Isolierschicht 2B, Ladungsspeicherschicht 3 und dritter Isolierschicht 4 werden anschließend Sourcegebiete S und Draingebiete D selbstjustierend im Halbleitersubstrat 1 ausgebildet.

Beispielsweise wird hierbei eine Ionenimplantation durchgeführt, wobei zum Ausdiffundieren und Aktivieren der jeweiligen Source- und Draingebiete eine thermische Nachbehandlung durchgeführt werden kann. Zum Rekonstruieren eines eventuell
5 gestörten Kristallgitters kann hierbei auch ein Ausheilverfahren durchgeführt werden.

Gemäß Figur 6D wird in einem nachfolgenden Verfahrensschritt die Schichtenfolge bestehend aus der dritten Isolierschicht
10 4, der Ladungsspeicherschicht 3 und der zweiten Isolierschicht 2B unter Verwendung der Spacer bzw. strukturierten Programmierschichten 6A und 6B derart strukturiert, dass sowohl die Steuerschicht 5 als auch das Halbleitersubstrat 1 bzw. die Source- und Draingebiete S und D freigelegt werden.
15 Vorzugsweise wird für dieses Freilegen der Source- und Draingebiete ein sogenanntes ONO-Trockenätzverfahren durchgeführt.

Auf diese Weise erhält man eine drainseitige und sourceseitige Schichtenfolge bestehend aus einer drainseitigen und sourceseitigen zweiten Isolierschicht 2BA und 2BB, einer drainseitigen und sourceseitigen Ladungsspeicherschicht 3A und 3B
20 sowie einer drainseitigen und sourceseitigen dritten Isolierschicht 4A und 4B.

Optional kann zu diesem Zeitpunkt ein weiteres Rückätzen von zumindest der drainseitigen und sourceseitigen Ladungsspeicherschicht 3A und 3B zum Ausbilden von zumindest oberflächennahen Aussparungen unterhalb der strukturierten Programmierschichten 6A und 6B erfolgen, wodurch sich insbesondere
25 die Isolationseigenschaften bzw. Leckstromeigenschaften wesentlich verbessern lassen. Vorzugsweise wird hierbei ein Nitrid-Ätzverfahren verwendet.
30

Gemäß Figur 6E wird in einem nachfolgenden Verfahrensschritt eine vierte Isolierschicht 7 an der Oberfläche des Halbleitersubstrats 1 sowie der strukturierten Programmierschichten 6A und 6B und der strukturierten Steuerschicht 5 ausgebildet,
35

wobei auch die in dem optional durchgeführten Rückätzschritt erzeugten Rückätzungen bzw. Aussparungen in zumindest der Ladungsspeicherschicht aufgefüllt werden. Zum Auffüllen der durch beispielsweise ein isotropes Rückätzverfahren optional ausgebildeten Ladungsspeicherschicht-Aussparungen wird beispielsweise eine CVD-Oxid-Abscheidung durchgeführt.

Gemäß Figur 6F erfolgt in einem nachfolgenden Verfahrensschritt ein Freilegen des Sourcegebiets S und des Draingebiets D, wobei zumindest auch Teile der strukturierten drainseitigen und sourceseitigen Programmierschicht 6A und 6B zum Ausbilden von Verbindungsbereichen freigelegt werden. Vorzugsweise wird hierbei ein fotolithographisches Verfahren zum Ausbilden von Kontaktöffnungen bzw. -löchern mit anschließendem anisotropen Trockenätzen durchgeführt.

Gemäß Figur 6G wird anschließend eine elektrisch leitende Verbindungsschicht in den freigelegten Verbindungsbereichen, wie z.B. Kontaktöffnungen, zum Kontaktieren der drainseitigen Programmierschicht 6A und des Draingebiets D sowie der sourceseitigen Programmierschicht 6B und des Sourcegebiets S ausgebildet. Vorzugsweise wird hierbei eine dritte Polysiliziumschicht als elektrisch leitende Verbindungsschicht abgeschieden und bis zur vierten Isolierschicht 7 planarisiert, wodurch sich eine drainseitige Verbindungsschicht 6AA und eine sourceseitige Verbindungsschicht 6BB ergibt. Als Planarisierungsverfahren wird beispielsweise ein CMP-Verfahren (Chemical Mechanical Polishing) durchgeführt, welches auf der vierten Isolierschicht 7 stoppt.

Auf diese Weise kann unter Verwendung von Standardverfahren eine SSI-Split-Gate-Speicherzelle mit geringem Flächenbedarf und einfachem Aufbau ausgebildet werden.

Nachfolgend wird wiederum unter Bezugnahme auf die Figur 5 ein Ansteuerverfahren bzw. eine Betriebsweise des erfindungsgemäßen Split-Gate-Speicherelements beschrieben, wobei ledig-

lich die Bedingungen zum Einschreiben, Löschen oder Lesen einer Information bzw. eines Zustands in der rechten Halbseite definiert sind und bei Anlegen entsprechender Spannungen auch ein Schreiben, Löschen oder Lesen eines Zustands in der linken Seite des Speicherelements entsprechend durchgeführt werden kann. Auf Grund der Symmetrie des Speicherelements sind hierbei das Sourcegebiet und das Draingebiet äquivalent und entsprechend austauschbar.

10 Zum Schreiben einer Information in ein Split-Gate-Speicherelement bzw. zum Programmieren des Speicherelements mittels sourceseitiger Ladungsträgerinjektion (SSI, Source Side Injection) muss das Potential an der Sourceleitung SL bzw. dem Sourcegebiet S und der sourceseitigen Programmierschicht 6B
15 positiv sein, um den Zustand auf der rechten Seite des Speicherelements programmieren zu können. Genauer gesagt wird demzufolge eine erste positive Schreibspannung an die sourceseitige Verbindungsschicht 6BB angelegt, wobei beispielsweise eine erste Schreibspannung von $V_{SL} = 2 \text{ V}$ angelegt wird. Die
20 drainseitige Spannung bzw. die Spannung an der drainseitigen Programmierschicht 6A und dem Draingebiet D muss gegenüber der ersten positiven Schreibspannung bzw. der Spannung am Sourcegebiet S und sourceseitigen Programmierschicht 6B wesentlich höher sein und beispielsweise eine Spannung von $V_{PG} = 6 \text{ V}$ als zweite Schreibspannung aufweisen. An die Steuer-
25 schicht 5 muss nunmehr zum Erzeugen der vorstehend beschriebenen SSI-Bedingung (Source Side Injection) eine gegenüber der effektiven Schwellwertspannung eines jeweiligen inneren Transistors leicht höhere dritte positive Schreibspannung angelegt werden, wobei beispielsweise eine Spannung von $V_{CG} = 1,5 \text{ V}$ ausreicht, wenn die Schwellwertspannung V_T eines „inneren“ Transistors des Speicherelements gleich 1 V aufweist.

Auf diese Weise kann trotz unmittelbarer Kontaktierung der
35 Programmierschichten mit den jeweiligen Source- und Draingebieten eine sourceseitige Ladungsträgerinjektion in der

drainseitigen Ladungsspeicherschicht 3A durchgeführt werden, wobei die Betriebsspannungen entsprechend gering sind.

5 Zum Löschen einer Information - wiederum in der rechten Halbseite des erfindungsgemäßen Split-Gate-Speicherelements - wird demgegenüber an die sourceseitige Verbindungsschicht 6BB ein schwebendes Potential (floating potential) angelegt, während an die drainseitige Verbindungsschicht 6AA eine hohe erste Löschespannung von beispielsweise $V_{PG} = 8 \text{ V}$ angelegt
10 wird, wodurch mittels eines Lawineneffekts drainseitig heiße Löcher in der Raumladungszone des Draingebiets erzeugt und in die drainseitige Ladungsspeicherschicht 3A eingebracht werden. Zur Verbesserung eines Löschvorgangs kann an die Steuerschicht 5 eine gegenüber der Schwellwertspannung eines jeweiligen „inneren“ Transistors niedrigere zweite Löschespannung
15 angelegt werden, wobei vorzugsweise eine negative Spannung verwendet wird.

20 Zum Lesen einer Information in einer rechten Halbseite des Split-Gate-Speicherelements wird an die sourceseitige Verbindungsschicht 6BB eine erste positive Lesespannung von beispielsweise $V_{SL} = 3 \text{ V}$ angelegt, während an die drainseitige Verbindungsschicht 6AA eine gegenüber der ersten Lesespannung ausreichend kleinere zweite Lesespannung angelegt wird, die
25 z.B. $V_{PG} = 0 \text{ V}$ beträgt. Zum Erzeugen einer vorzugsweise rückwärts gerichteten Auslese-Bedingung wird an die Steuerschicht 5 eine im Bereich der ersten Lesespannung dritte Lesespannung von beispielsweise $V_{CG} = 2 \text{ bis } 5 \text{ V}$ angelegt. Hinsichtlich der rückwärts gerichteten Auslesebedingung sei darauf
30 hingewiesen, dass Source und Drain vertauscht sind, wobei die nunmehr sourceseitig, d.h. in Figur 5 drainseitig, eingefangene Ladung einen größeren Einfluss auf den Lesestrom aufweist als die drainseitig, d.h. in Figur 5 sourceseitig, eingefangene Ladung. Diese Ladung wird zwar durch die positive
35 Drainspannung erfasst, hat jedoch einen unwesentlichen Einfluss auf den resultierenden Lesestrom, weshalb auch bei der kurzgeschlossenen Verbindungsschicht mit den Sourcegebieten

und Draingebieten ein ausreichend genaues Auslesen von Zuständen in dem erfindungsgemäßen Speicherelement möglich ist. Genauer gesagt wird einerseits bei negativ geladener Ladungsspeicherschicht 3A bzw. 3B ein zugehöriger Kanalabschnitt verarmt (depleted) und somit hochohmig, wodurch sich ein ver-
5 ringterter Lesestrom ergibt. Andererseits wird bei positiv geladener Ladungsspeicherschicht (Löcher) ein zugehöriger Kanalabschnitt niederohmig, wodurch sich ein erhöhter Lesestrom ergibt.

10

Die Erfindung wurde vorstehend anhand eines Dual-Bit Split-Gate-Speicherelements zum Abspeichern von zwei Zuständen beschrieben. Sie ist jedoch nicht darauf beschränkt und kann in gleicher Weise auch nichtflüchtige Halbleiterspeicherelemente
15 mit lediglich einem Speicherzustand aufweisen. Ferner wurden als Materialien für die elektrisch leitenden Schichten dotierte Polysiliziumschichten beschrieben, wobei jedoch auch alternative Materialien und insbesondere metallische Materialien verwendet werden können. In gleicher Weise können auch
20 alternative Materialien für die Isolierschichten sowie für das Halbleitersubstrat verwendet werden.

Patentansprüche

1. Nichtflüchtiges Halbleiterspeicherelement mit
einem Halbleitersubstrat (1), in dem ein Sourcegebiet (S),
5 ein Draingebiet (D) und ein dazwischen liegendes Kanalgebiet
ausgebildet sind;
einer Steuerschicht (5), die auf einem ersten Teilabschnitt
(I) des Kanalgebiets ausgebildet und von diesem durch eine
erste Isolierschicht (2A) isoliert ist;
10 einer Ladungsspeicherschicht (3A, 3B), die auf einem zweiten
Teilabschnitt (IIA, IIB) des Kanalgebiets ausgebildet und von
diesem durch eine zweite Isolierschicht (2BA, 2BB) isoliert
ist; und
einer Programmierschicht (6A, 6B), die an der Ladungsspei-
15 cherschicht (3A, 3B) ausgebildet und von dieser durch eine
dritte Isolierschicht (4A, 4B) isoliert ist,
g e k e n n z e i c h n e t d u r c h
eine Verbindungsschicht (6AA, 6BB) zum elektrischen Verbinden
der Programmierschicht (6A, 6B) mit dem Sourcegebiet (S) oder
20 Draingebiet (D).

2. Nichtflüchtiges Halbleiterspeicherelement nach Patentan-
spruch 1,
d a d u r c h g e k e n n z e i c h n e t, dass der zweite
25 Teilabschnitt des Kanalgebiets einen sourceseitigen Teilab-
schnitt (IIB) und einen drainseitigen Teilabschnitt (IIA)
aufweist;
die Ladungsspeicherschicht eine sourceseitige Ladungsspei-
cherschicht (3B) und eine drainseitige Ladungsspeicherschicht
30 (3A);
die Programmierschicht eine sourceseitige Programmierschicht
(6B) und eine drainseitige Programmierschicht (6A) aufweist;
die Verbindungsschicht eine sourceseitige Verbindungsschicht
(6BB) und eine drainseitige Verbindungsschicht (6AA) auf-
35 weist, wobei die sourceseitige Verbindungsschicht (6BB) die
sourceseitige Programmierschicht (6B) mit dem Sourcegebiet
(S) und die drainseitige Verbindungsschicht (6AA) die drain-

seitige Programmierschicht (6A) mit dem Draingebiet (D) elektrisch verbindet.

3. Nichtflüchtiges Halbleiterspeicherelement nach Patentanspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t, dass die Ladungsspeicherschicht (3A, 3B) eine elektrisch nicht leitende Schicht darstellt.

4. Nichtflüchtiges Halbleiterspeicherelement nach einem der Patentansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t, dass die erste und zweite Isolierschicht (2A, 2BA, 2BB) SiO_2 aufweist.

5. Nichtflüchtiges Halbleiterspeicherelement nach einem der Patentansprüche 1 bis 4,

d a d u r c h g e k e n n z e i c h n e t, dass die Ladungsspeicherschicht (3A, 3B) eine Si_3N_4 -, HfO_2 oder ZrO_2 -Schicht aufweist.

6. Nichtflüchtiges Halbleiterspeicherelement nach einem der Patentansprüche 1 bis 5,

d a d u r c h g e k e n n z e i c h n e t, dass die Steuerschicht (5), die Programmierschicht (6A, 6B) und die Verbindungsschicht (6AA, 6BB) dotiertes Polysilizium aufweist.

7. Verfahren zur Herstellung eines nichtflüchtigen Halbleiterspeicherelements mit den Schritten:

a) Vorbereiten eines Halbleitersubstrats (1);

b) Ausbilden einer ersten Isolierschicht (2A) an der Oberfläche des Halbleitersubstrats (1);

c) Ausbilden und Strukturieren einer Steuerschicht (5) an der Oberfläche der ersten Isolierschicht (2A);

d) Ausbilden einer Schichtenfolge bestehend aus einer zweiten Isolierschicht (2B), einer Ladungsspeicherschicht (3) und einer dritten Isolierschicht (4) an der Oberfläche des Halbleitersubstrats (1) und der strukturierten Steuerschicht (5);

- e) Ausbilden und Strukturieren einer Programmierschicht (6A, 6B) auf der dritten Isolierschicht (4) an den Seitenwänden der strukturierten Steuerschicht (5);
- f) Ausbilden von Sourcegebieten (S) und Draingebieten (D) im Halbleitersubstrat (1) unter Verwendung der strukturierten Programmierschicht (6A, 6B) und der strukturierten Steuerschicht (5) als Maske;
- g) Strukturieren der dritten Isolierschicht (4), der Ladungsspeicherschicht (3) und der zweiten Isolierschicht (2B) unter Verwendung der strukturierten Programmierschicht (6A, 6B) als Maske;
- h) Ausbilden einer vierten Isolierschicht (7) an der Oberfläche des Halbleitersubstrats (1), der strukturierten Programmierschicht (6A, 6B) und der strukturierten Steuerschicht (5);
- i) Freilegen von Verbindungsbereichen zumindest an Teilen der strukturierten Programmierschicht (6A, 6B), des Sourcegebiets (S) und des Draingebiets (D); und
- j) Ausbilden einer elektrisch leitenden Verbindungsschicht (6AA, 6BB) in den freigelegten Verbindungsbereichen zum Kontaktieren der Programmierschicht (6A, 6B) des Sourcegebiets (S) und des Draingebiets (D).
8. Verfahren nach Patentanspruch 7,
dadurch gekennzeichnet, dass in Schritt b) ein Gatedielektrikum als erste Isolierschicht (2A) ausgebildet wird.
9. Verfahren nach Patentanspruch 7 oder 8,
dadurch gekennzeichnet, dass in Schritt c) eine erste Polysilizium-Schicht als Steuerschicht (5) abgeschieden wird.
10. Verfahren nach einem der Patentansprüche 7 bis 9,
dadurch gekennzeichnet, dass in Schritt d) eine ONO-Schichtenfolge abgeschieden wird.

11. Verfahren nach einem der Patentansprüche 7 bis 10,
dadurch gekennzeichnet, dass in Schritt
e) ein Spacer-Verfahren zum Abscheiden und Strukturieren ei-
ner zweiten Polysilizium-Schicht als Programmierschicht (6A,
5 6B) durchgeführt wird.

12. Verfahren nach einem der Patentansprüche 7 bis 11,
dadurch gekennzeichnet, dass in Schritt
f) eine Ionenimplantation und eine thermische Nachbehandlung
10 zum Ausdiffundieren und Aktivieren der Source- und Drainge-
biete (S, D) durchgeführt wird.

13. Verfahren nach einem der Patentansprüche 7 bis 12,
dadurch gekennzeichnet, dass in Schritt
15 g) ein anisotropes Trockenätzen der Schichtenfolge und ein
isotropes Rückätzen von zumindest der Ladungsspeicherschicht
(3) zum Ausbilden von Ladungsspeicherschicht-Aussparungen
durchgeführt wird.

20 14. Verfahren nach Patentanspruch 13,
dadurch gekennzeichnet, dass in Schritt
h) eine Oxid-Abscheidung zum Auffüllen der Ladungsspeicher-
schicht-Aussparungen durchgeführt wird.

25 15. Verfahren nach einem der Patentansprüche 7 bis 14,
dadurch gekennzeichnet, dass in Schritt
j) eine dritte Polysilizium-Schicht als Verbindungsschicht
(6AA, 6BB) abgeschieden und planarisiert wird.

30 16. Verfahren zum Schreiben einer Information in ein nicht-
flüchtiges Halbleiterspeicherelement nach einem der Patentan-
sprüche 2 bis 6 mit den Schritten:

- a) Anlegen einer ersten positiven Schreibspannung an die
sourceseitige Verbindungsschicht (6BB);
- 35 b) Anlegen einer gegenüber der ersten positiven Schreib-
spannung wesentlich höheren zweiten positiven Schreibspannung
an die drainseitige Verbindungsschicht (6AA); und

c) Anlegen einer gegenüber der effektiven Schwellwertspannung eines jeweiligen inneren Transistors leicht höheren dritten positiven Schreibspannung an die Steuerschicht (5), zum Erzeugen einer SSI-Bedingung.

5

17. Verfahren zum Löschen einer Information in einem nicht-flüchtigen Halbleiterspeicherelement nach einem der Patentansprüche 2 bis 6 mit den Schritten:

- 10 a) Anlegen eines schwebenden Potentials an die sourceseitige Verbindungsschicht (6BB);
- b) Anlegen einer hohen ersten Löschspannung an die drainseitige Verbindungsschicht (6AA); und
- 15 c) Anlegen einer gegenüber der effektiven Schwellwertspannung eines jeweiligen inneren Transistors niedrigeren zweiten Löschspannung an die Steuerschicht (5), zum Erzeugen einer Lawineneffekt-Bedingung.

18. Verfahren zum Lesen einer Information in einem nicht-flüchtigen Halbleiterspeicherelement nach einem der Patentansprüche 2 bis 6 mit den Schritten:

- 20 a) Anlegen einer ersten positiven Lesespannung an die sourceseitige Verbindungsschicht (6BB);
- b) Anlegen einer gegenüber der ersten Lesespannung ausreichend kleineren zweiten Lesespannung an die drainseitige Verbindungsschicht (6AA); und
- 25 c) Anlegen einer im Bereich der ersten Lesespannung liegenden dritten Lesespannung an die Steuerschicht (5) zum Erzeugen einer rückwärtsgerichteten Auslese-Bedingung.

30

$\frac{1}{5}$

FIG 1 Stand der Technik

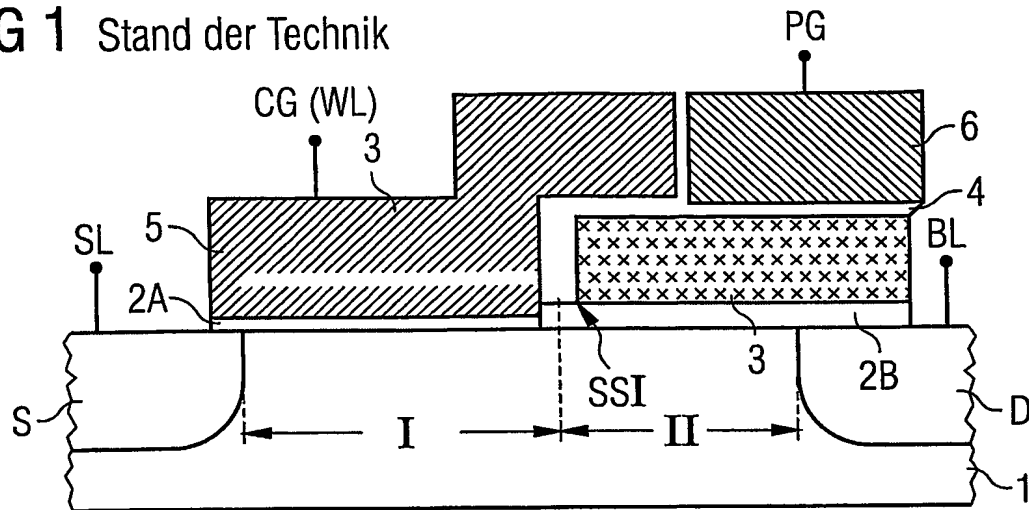


FIG 2 Stand der Technik CG (WL)

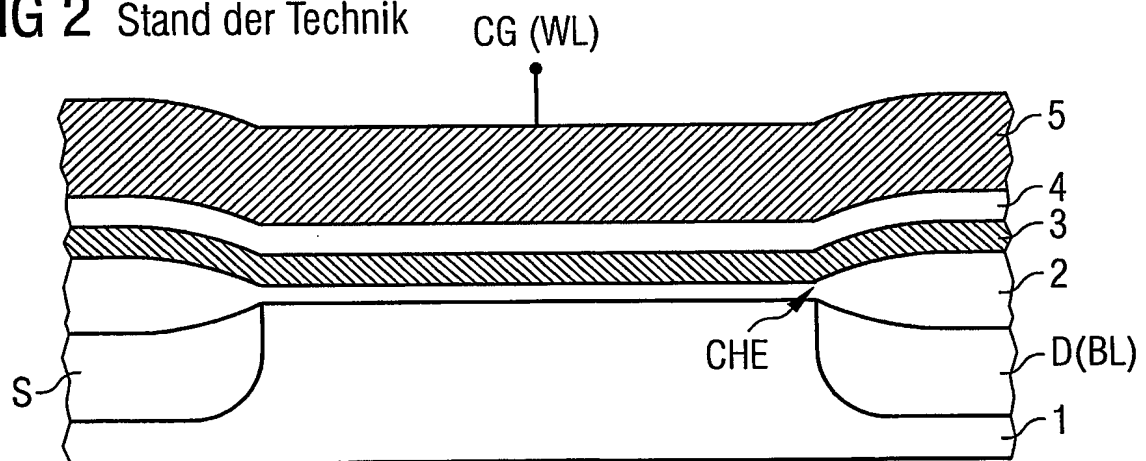
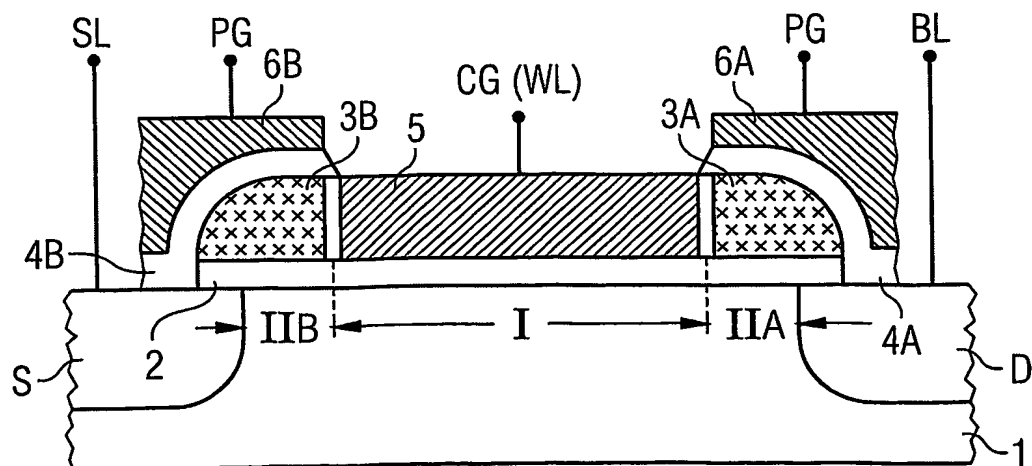


FIG 3 Stand der Technik



3/5

FIG 6A

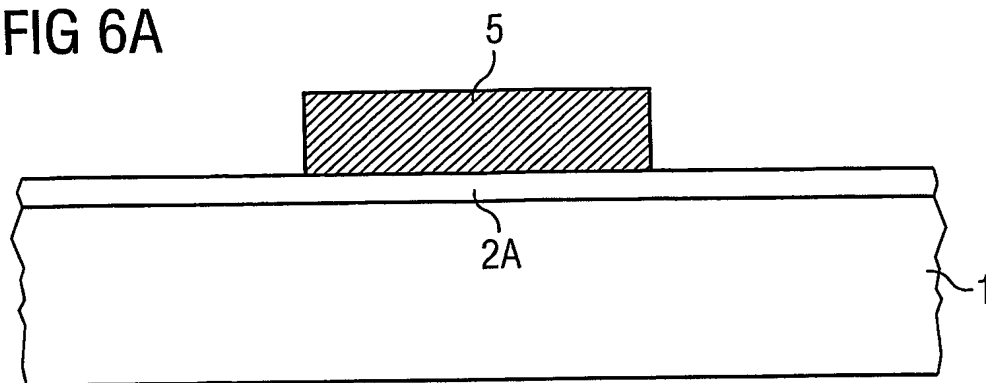


FIG 6B

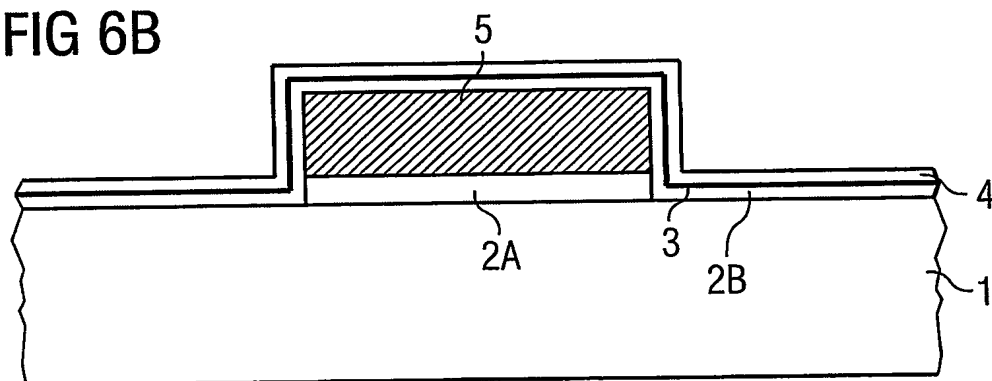
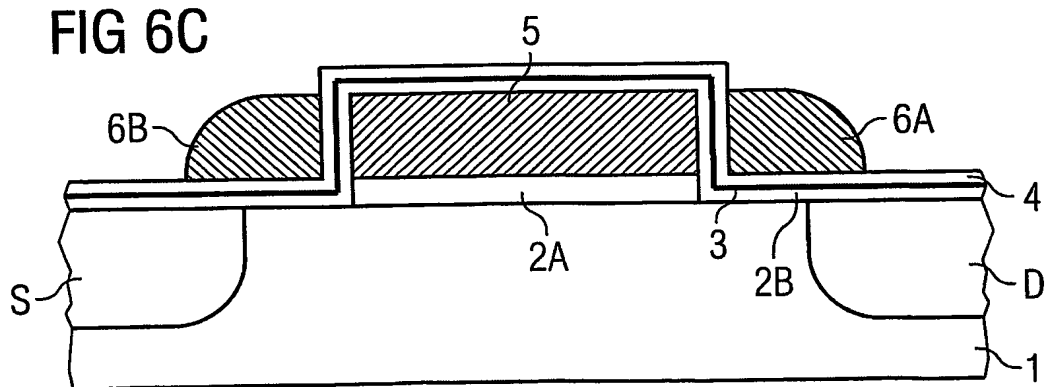


FIG 6C



4/5

FIG 6D

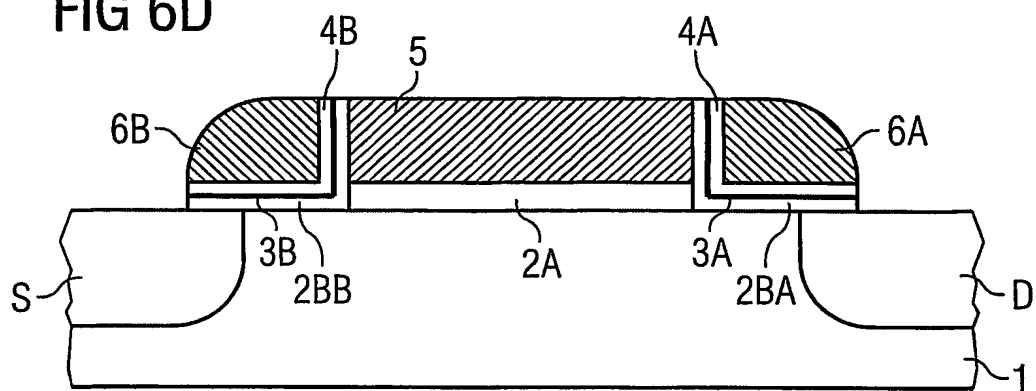


FIG 6E

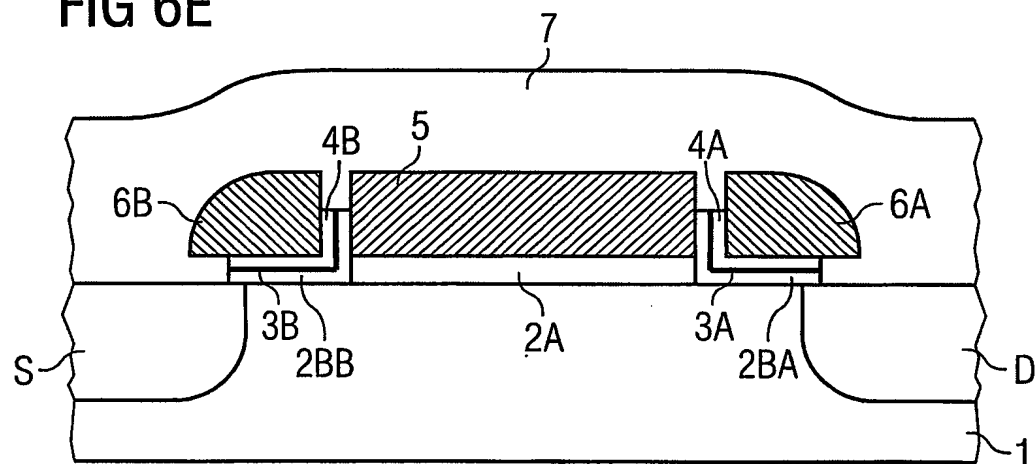


FIG 6F

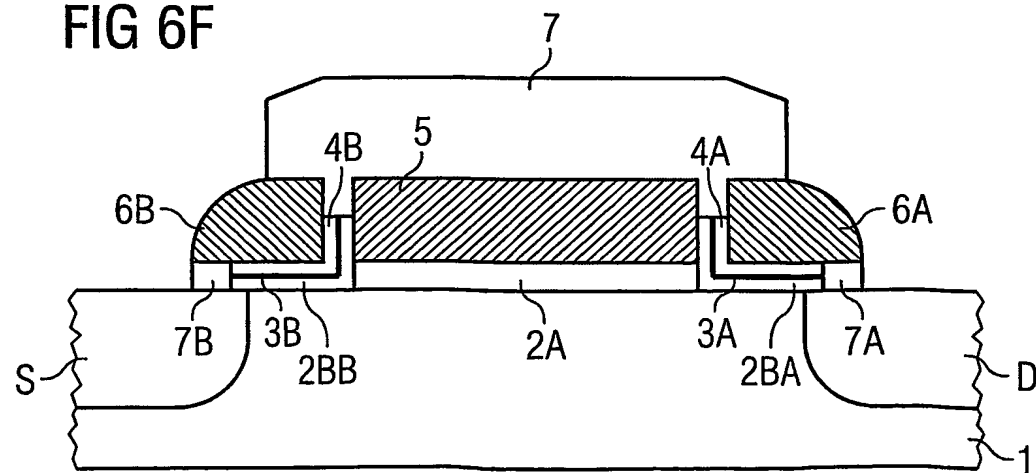
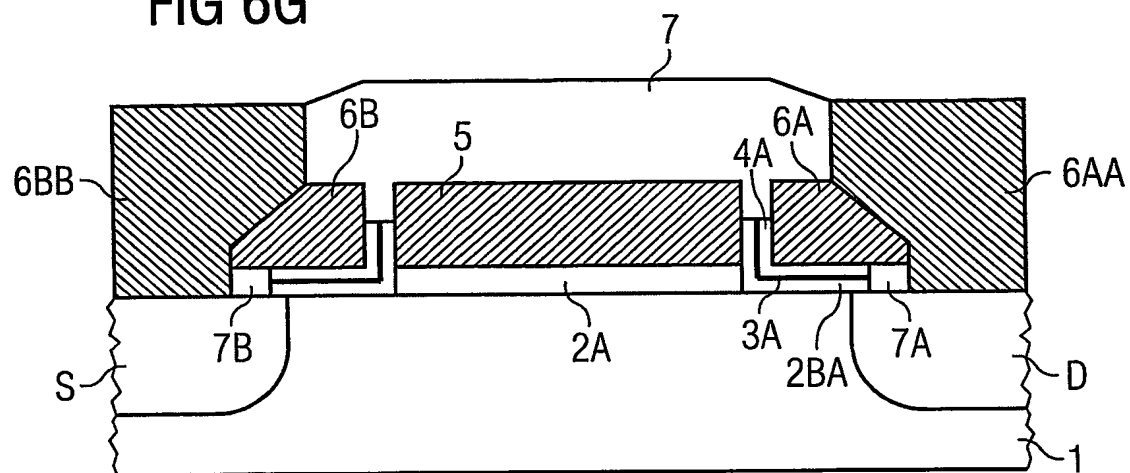


FIG 6G



International Application No.

PCI/DE 03/02678

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L29/792 H01L21/336 G11C11/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 543 703 A (SGS THOMSON MICROELECTRONICS) 26 May 1993 (1993-05-26) the whole document ---	1
A	US 6 335 554 B1 (YOSHIKAWA KUNIYOSHI) 1 January 2002 (2002-01-01) the whole document ---	1-9
A	WO 01 17030 A (MACRONIX AMERICA INC) 8 March 2001 (2001-03-08) the whole document ---	1-12
A	US 6 388 293 B1 (HAYASHI YUTAKA ET AL) 14 May 2002 (2002-05-14) the whole document ---	1-5
	--- --/--	

☒ Further documents are listed in the continuation of box C.

<input checked="" type="checkbox"/>	Patent family members are listed in annex.
-------------------------------------	--

^o Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

12 December 2003

Date of mailing of the international search report

19/12/2003

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Baillet, B

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/02678

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 366 500 B1 (OGURA SEIKI ET AL) 2 April 2002 (2002-04-02) cited in the application the whole document ----	1-5
A	US 2002/105023 A1 (KUO TUNG CHEN ET AL) 8 August 2002 (2002-08-08) the whole document ----	1-5
A	US 6 249 022 B1 (LEE ROBIN ET AL) 19 June 2001 (2001-06-19) the whole document ----	1-5
A	US 5 654 568 A (NAKAO HIRONOBU) 5 August 1997 (1997-08-05) the whole document ----	1
A	US 3 731 163 A (SHUSKUS A) 1 May 1973 (1973-05-01) abstract -----	5

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0543703	A	26-05-1993	FR 2683664 A1	14-05-1993
			DE 69200540 D1	24-11-1994
			DE 69200540 T2	04-05-1995
			EP 0543703 A1	26-05-1993
			JP 3270157 B2	02-04-2002
			JP 6029552 A	04-02-1994
			US 5622879 A	22-04-1997
			US 5436479 A	25-07-1995
US 6335554	B1	01-01-2002	JP 2001156188 A	08-06-2001
			TW 488064 B	21-05-2002
			US 2003034518 A1	20-02-2003
WO 0117030	A	08-03-2001	AU 7077900 A	26-03-2001
			CN 1376313 T	23-10-2002
			JP 2003508920 T	04-03-2003
			WO 0117030 A1	08-03-2001
US 6388293	B1	14-05-2002	US 2002008993 A1	24-01-2002
			JP 2001148434 A	29-05-2001
			US 2002149060 A1	17-10-2002
			US 2002149061 A1	17-10-2002
			WO 02080283 A1	10-10-2002
US 6366500	B1	02-04-2002	US 6133098 A	17-10-2000
			US 6359807 B1	19-03-2002
US 2002105023	A1	08-08-2002	TW 476144 B	11-02-2002
US 6249022	B1	19-06-2001	NONE	
US 5654568	A	05-08-1997	JP 5190863 A	30-07-1993
			JP 3107440 B2	06-11-2000
			JP 6089980 A	29-03-1994
US 3731163	A	01-05-1973	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/792 H01L21/336 G11C11/56

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 543 703 A (SGS THOMSON MICROELECTRONICS) 26. Mai 1993 (1993-05-26) das ganze Dokument	1
A	US 6 335 554 B1 (YOSHIKAWA KUNIYOSHI) 1. Januar 2002 (2002-01-01) das ganze Dokument	1-9
A	WO 01 17030 A (MACRONIX AMERICA INC) 8. März 2001 (2001-03-08) das ganze Dokument	1-12
A	US 6 388 293 B1 (HAYASHI YUTAKA ET AL) 14. Mai 2002 (2002-05-14) das ganze Dokument	1-5
	-/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

12. Dezember 2003

Absenddatum des internationalen Recherchenberichts

19/12/2003

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Baillet, B

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 366 500 B1 (OGURA SEIKI ET AL) 2. April 2002 (2002-04-02) in der Anmeldung erwähnt das ganze Dokument ----	1-5
A	US 2002/105023 A1 (KUO TUNG CHEN ET AL) 8. August 2002 (2002-08-08) das ganze Dokument ----	1-5
A	US 6 249 022 B1 (LEE ROBIN ET AL) 19. Juni 2001 (2001-06-19) das ganze Dokument ----	1-5
A	US 5 654 568 A (NAKAO HIRONOBU) 5. August 1997 (1997-08-05) das ganze Dokument ----	1
A	US 3 731 163 A (SHUSKUS A) 1. Mai 1973 (1973-05-01) Zusammenfassung -----	5

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 03/02678

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 0543703	A	26-05-1993	FR	2683664 A1	14-05-1993
			DE	69200540 D1	24-11-1994
			DE	69200540 T2	04-05-1995
			EP	0543703 A1	26-05-1993
			JP	3270157 B2	02-04-2002
			JP	6029552 A	04-02-1994
			US	5622879 A	22-04-1997
			US	5436479 A	25-07-1995
US 6335554	B1	01-01-2002	JP	2001156188 A	08-06-2001
			TW	488064 B	21-05-2002
			US	2003034518 A1	20-02-2003
WO 0117030	A	08-03-2001	AU	7077900 A	26-03-2001
			CN	1376313 T	23-10-2002
			JP	2003508920 T	04-03-2003
			WO	0117030 A1	08-03-2001
US 6388293	B1	14-05-2002	US	2002008993 A1	24-01-2002
			JP	2001148434 A	29-05-2001
			US	2002149060 A1	17-10-2002
			US	2002149061 A1	17-10-2002
			WO	02080283 A1	10-10-2002
US 6366500	B1	02-04-2002	US	6133098 A	17-10-2000
			US	6359807 B1	19-03-2002
US 2002105023	A1	08-08-2002	TW	476144 B	11-02-2002
US 6249022	B1	19-06-2001	KEINE		
US 5654568	A	05-08-1997	JP	5190863 A	30-07-1993
			JP	3107440 B2	06-11-2000
			JP	6089980 A	29-03-1994
US 3731163	A	01-05-1973	KEINE		